



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Sadayuki OHNISHI, et al.**  
Filed : **January 29, 2004**  
For : **CARBON CONTAINING SILICON OXIDE FILM...**  
Serial No. : **10/767,230**  
Examiner :  
Art Unit : **2811**  
Confirmation No. : **2594**

Commissioner For Patents  
PO Box 1450  
Alexandria, VA 22313-1450

September 2, 2004

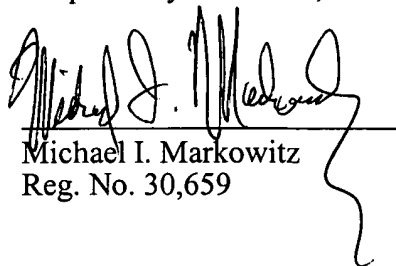
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby submits a certified copy of **JAPANESE** application nos. **2003-021078** filed **January 29, 2003** and **2004-018080** filed **January 27, 2004** from which priority was claimed in a priority claim filed on January 29, 2004.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,



Michael I. Markowitz  
Reg. No. 30,659

**CUSTOMER NO.: 026304**  
**DOCKET NO.: NECB 20.919 (100806-00249)**  
**TELEPHONE: (212) 940-8800**  
**FAX: (212) 940-8986**

5110-05

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月29日  
Date of Application:

出願番号 特願2003-021078  
Application Number:

[ST. 10/C]: [JP2003-021078]

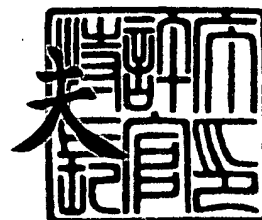
出願人 NECエレクトロニクス株式会社  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2003年12月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3103164

【書類名】 特許願  
【整理番号】 74120024  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/31

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 大西 貞之

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 大音 光市

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 宇佐美 達矢

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 森田 昇

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 有田 幸司

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
NECエレクトロニクス株式会社内

【氏名】 北尾 良平

**【発明者】**

**【住所又は居所】** 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

**【氏名】** 佐々木 洋一

**【特許出願人】**

**【識別番号】** 302062931

**【氏名又は名称】** N E C エレクトロニクス株式会社

**【代理人】**

**【識別番号】** 100109313

**【弁理士】**

**【氏名又は名称】** 机 昌彦

**【電話番号】** 03-3454-1111

**【選任した代理人】**

**【識別番号】** 100085268

**【弁理士】**

**【氏名又は名称】** 河合 信明

**【電話番号】** 03-3454-1111

**【選任した代理人】**

**【識別番号】** 100111637

**【弁理士】**

**【氏名又は名称】** 谷澤 靖久

**【電話番号】** 03-3454-1111

**【手数料の表示】**

**【予納台帳番号】** 191928

**【納付金額】** 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1

**【物件名】** 図面 1

**【物件名】** 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 層間絶縁膜とそれを用いた半導体装置

【特許請求の範囲】

【請求項 1】 炭素含有酸化珪素膜( $\text{SiOCH}$ )であって、膜内に $-\text{Si}-\text{CH}_2-$ 結合を有する層間絶縁膜。

【請求項 2】 前記層間絶縁膜中の $\text{Si}-\text{CH}_3$ 結合( $1270\text{cm}^{-1}$ )に対する $\text{Si}-\text{CH}_2$ 結合( $1360\text{cm}^{-1}$ )の割合が、FTIRのピーク高さ比で、 $0.03-0.05$ の間にあることを特徴とする請求項 1 に記載の層間絶縁膜。

【請求項 3】 前記層間絶縁膜の比誘電率が $3.1$ 以下であることを特徴とする請求項 1 または 2 に記載の層間絶縁膜。

【請求項 4】 前記炭素含有酸化珪素膜( $\text{SiOCH}$ )が、プラズマCVDにより成膜されることを特徴とする請求項 1 乃至 3 のいずれかに記載の層間絶縁膜。

【請求項 5】 前記炭素含有酸化珪素膜( $\text{SiOCH}$ )が、メチルシルセスキオキサンから成膜されることを特徴とする請求項 1 乃至 3 のいずれかに記載の層間絶縁膜。

【請求項 6】 接続孔が形成される配線層間の層間絶縁膜と配線溝が形成される配線間の層間絶縁膜とを備えた半導体装置において、少なくとも、前記接続孔が形成される前記配線層間の層間絶縁膜として請求項 1 ～ 5 に記載の層間絶縁膜を用いることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は概して半導体技術に関し、特に半導体基板上の層間絶縁膜に関する。

【0002】

【従来技術】 近年の半導体装置の高集積化への要求の高まりから、多層配線技術が注目されている。この多層配線構造において素子の高速動作のネックになるのが、配線間容量である。この配線間の容量を低減するには、絶縁膜の誘電率（比誘電率）を下げる必要がある。

そのため、従来の酸化膜層間絶縁膜より誘電率の低い絶縁膜材料の開発が近年盛

んに行われてきている。従来のシリコン酸化膜 $\text{SiO}_2$ は、 $\text{SiH}_4$ または $\text{Si}(\text{OC}_2\text{H}_5)_4$ などのシリコン材料ガスに酸化剤として酸素 $\text{O}_2$ または酸化窒素 $\text{N}_2\text{O}$ を添加しプラズマ重合により形成する。その誘電率は4.0程度である。これに対し、材料ガスにメチルシランベースの前駆体（例えば、トリメチルシランまたはテトラメチルシラン）を用いてプラズマCVD法で形成した炭素含有酸化珪素( $\text{SiOCH}$ )膜は、誘電率3以下が報告されている。 $\text{SiOCH}$ 膜は、 $-\text{O}-\text{Si}-\text{O}-$ ネットワークに-末端基となる $\text{CH}_3$ 基を導入することで密度を下げ、誘電率を低減している（例えば、特許文献1及び特許文献2）。

### 【0003】

#### 【特許文献1】

米国特許第6159871号明細書（第3頁の欄2－第4頁の欄4）

#### 【特許文献2】

米国特許第6054379号明細書（第11頁の欄4－第16頁の欄13）

### 【0004】

#### 【発明が解決しようとする課題】

しかしながら、 $\text{SiOCH}$ 膜は、膜中に含まれる $\text{CH}_3$ 基が、溝やビア加工時の $\text{O}_2$ アッシングで壊され、膜収縮や吸湿などの膜質劣化を受けやすい。

### 【0005】

これは $-\text{O}-\text{Si}-\text{O}-$ ネットワーク中の $-\text{CH}_3$ 基が、 $-\text{Si}-\text{O}-$ ネットワークの末端にあり、アッシング雰囲気の水素イオンやラジカルと反応しやすいことに起因する。

### 【0006】

現在、次世代デバイスに向け、 $\text{SiOCH}$ 膜を多孔質化して誘電率を下げていく検討が盛んに行われているが、アッシングダメージの問題は、多孔質化によりさらに顕著になる。また、従来のダマシン工程のうち、最も広く用いられているビアファースト方法においては、接続孔(ビア)側壁は、ビア形成時と溝形成の2回アッシング工程に晒される。ビア側壁がアッシングダメージにより変質して吸湿性が増加すると、ビア歩留まりの劣化が問題となる。

## 【0007】

さらに、SiOCH膜は、パターンニング時のマスクとしてその上層にSiO<sub>2</sub>膜（CAP-SiO<sub>2</sub>膜）を成膜するが、そのCAP-SiO<sub>2</sub>膜との密着性が、従来膜（SiO<sub>2</sub>, SiON, SiN, HSQ）より低いことも問題である。これは、膜中に含まれるCH<sub>3</sub>基が疎水性のため、SiO<sub>2</sub>膜との親和性が低いためである。

## 【0008】

本発明は、上記のような問題点に鑑みてなされたものであって、層間絶縁膜の誘電率の上昇をもたらすことなく、アッシング耐性を向上させることを課題とする。また、SiO<sub>2</sub>膜との密着性の問題も改善させる。

## 【0009】

## 【課題を解決するための手段】

請求項1記載の発明の要旨は、炭素含有酸化珪素膜（SiOCH）であって、膜内に-Si-CH<sub>2</sub>-結合を有する層間絶縁膜に存する。

## 【0010】

請求項2記載の発明の要旨は、前記層間絶縁膜中のSi-CH<sub>3</sub>結合（1270cm<sup>-1</sup>）に対するSi-CH<sub>2</sub>結合（1360cm<sup>-1</sup>）の割合が、FTIRのピーク高さ比で、0.03-0.05の間にあることを特徴とする請求項1に記載の層間絶縁膜に存する。。

## 【0011】

請求項3記載の発明の要旨は、前記層間絶縁膜の比誘電率が3.1以下であることを特徴とする請求項1または2に記載の層間絶縁膜に存する。

## 【0012】

請求項4記載の発明の要旨は、前記炭素含有酸化珪素膜（SiOCH）が、プラズマCVDにより成膜されることを特徴とする請求項1乃至3のいずれかに記載の層間絶縁膜に存する。

## 【0013】

請求項5記載の発明の要旨は、前記炭素含有酸化珪素膜（SiOCH）が、メチルシルセスキオキサンから成膜されることを特徴とする請求項1乃至3のいずれかに記載の層間絶縁膜に存する。

## 【0014】



請求項 6 記載の発明の要旨は、接続孔が形成される配線層間の層間絶縁膜と配線溝が形成される配線間の層間絶縁膜とを備えた半導体装置において、少なくとも、前記接続孔が形成される前記配線層間の層間絶縁膜として請求項 1～5 に記載の層間絶縁膜を用いることを特徴とする半導体装置に存する。

#### 【0015】

本発明によれば、半導体基板と被半導体基板上に設けられた層間絶縁膜とを備え、上記層間絶縁膜は、分子内に-Si-CH<sub>2</sub>-結合を含む炭素含有酸化膜からなることを特徴とする半導体装置が提供される。

#### 【0016】

この半導体装置は、膜中に-Si-CH<sub>2</sub>-結合を持ち、-CH<sub>2</sub>-結合がO<sub>2</sub>の攻撃を受けにくいため、従来のCH<sub>3</sub>基のみを持つSiOCH膜に比べアッシング耐性が高い。

ただし、低誘電率化には-CH<sub>3</sub>結合の導入が必要なため、-CH<sub>3</sub>結合と-CH<sub>2</sub>-結合に最適な比率が存在する。本発明によれば、膜内に-Si-CH<sub>2</sub>-結合を有する炭素含有酸化膜であって、さらに、膜中のSi-CH<sub>3</sub>結合(1270cm<sup>-1</sup>)に対するSi-CH<sub>2</sub>結合(1360cm<sup>-1</sup>)の割合が、FTIRのピーク高さ比で、0.03-0.05の間にあることを特徴とする半導体装置が提供される。

#### 【0017】

この範囲のSiOCH膜であれば低誘電率性を保ちつつ、高いアッシング耐性を得られる。このSiOCH膜の誘電率は3.1以下とすることができる。

#### 【0018】

また、成膜手法としては、プラズマCVDにより上述の範囲の組成のSiOCH膜を成膜できる。また、塗布系メチルシルセスキオキサンにおいても、ベース材料の調整により上記組成のSiOCH膜を得ることができる。

#### 【0019】

また、本発明によれば、接続孔が形成される配線層間の絶縁膜と、配線溝が形成される配線間の絶縁膜とを備えた半導体装置において、少なくとも、前記、接続孔が形成される配線層間の絶縁膜に上記FTIR（フーリエ変換赤外分光計）ピーク高さ比0.03-0.05のSiOCH膜を用いることを特徴とする半導体装置が提供される。

。これにより、従来のダマシン工程のうち、最も広く用いられているビアファースト方法においては、接続孔(ビア)側壁は、ビア形成時と溝形成の2回アッシング工程に晒される。このビア層の絶縁膜に本発明のSiOCH膜を用いることで、アッシング耐性が高いため、ビア歩留まりが向上する。

#### 【0020】

##### 【発明の実施の形態】

以下、本発明の好ましい実施の形態について図面を参照して説明する。

#### 【0021】

##### 【実施例1】

図1は第1実施例に用いられる平行平板型プラズマCVD装置の構成を略示したものである。

#### 【0022】

装置は、半導体基板11上に成膜処理を行うための処理室と、処理室内に載置された半導体基板11の温度を一定に保つためのヒータと下部電極となるサセプタ12と、半導体基板11を処理室に搬入し、処理室から搬出する搬送手段(不図示)と、処理室内の圧力を一定に保つための排気手段13と、処理室に複数種類の反応ガスを供給するためのガス供給部14と、高周波発生機15を備える構成である。処理室には上部平板電極16と下部平板電極となるサセプタ12が対向して設けられ、上部平板電極16および下部平板電極12は上記高周波発生機15に接続されている。また、下部平板電極12には上記ヒータが内蔵されている。高周波発生機15は、所定の周波数および高周波電力(RFパワー)の高周波を上部平板電極16と下部平板電極12の間に発生させる。

上記構成のプラズマCVD装置により、例えば、SiOCH膜を形成する場合、サセプタ12上に載置された半導体基板11をヒータにより所望の温度にし、反応ガスの種類および流量を調節して処理室内を所望のガス雰囲気です望の処理圧力にし、所望の高周波のRFパワーを印加することで処理室内に反応ガスのプラズマを発生させて、半導体基板11上にSiCOH膜を形成する。

次に、上記プラズマCVD装置を用いた、第1実施例の半導体装置の製造方法について説明する。

ソースガスとしてトリメチルシランと酸素を用い、 $\text{SiOCH}$ 膜の成膜を行った。標準的条件は、成膜温度が $350^{\circ}\text{C}$ 、ソースガスとその流量がトリメチルシラン 1 1 0 0 sccm、 $\text{O}_2$  450sccm、RFパワーが700W、圧力が4.5Torrである。各種成膜パラメーター（RFパワー、ガス流量、温度、圧力）を変化させ、さまざまな膜特性の $\text{SiOCH}$ 膜を成膜し、その膜特性を調べた。その結果、FTIRスペクトルにおける、膜中の $\text{Si-CH}_3$ 結合( $1270\text{cm}^{-1}$ )に対する $\text{Si-CH}_2$ 結合( $1360\text{cm}^{-1}$ )の割合と、膜の特性に密接な関係があり、 $\text{CH}_2$ 結合/ $\text{CH}_3$ 結合比が高くなるにつれ、アッシング耐性や密着性が向上し、一方で、誘電率の上昇が見られた。 $\text{CH}_2$ 結合/ $\text{CH}_3$ 結合比が低くなると、その逆の傾向がみられることを見いだした。

### 【 0 0 2 3 】

例えば、図 2 は、RF パワーを560W～840Wまで変化させた時のFTIRスペクトルである。パワーの増加に従い、 $\text{CH}_3$ に対する $\text{CH}_2$ 比が増加している。これらのサンプルに対し、アッシング耐性、CAP- $\text{SiO}_2$ 膜との密着性を調べた。ここで、図 2 (a) の波数 $1360\text{cm}^{-1}$ におけるピークが $\text{Si-CH}_2$ 結合を、同図 (b) の波数 $1270\text{cm}^{-1}$ におけるピークが $\text{Si-CH}_3$ 結合を示す。

### 【 0 0 2 4 】

アッシング耐性に関しては、平行平板型 $\text{O}_2$ アッシング装置を用い、アッシングガス： $\text{O}_2$  500sccm、RF パワー1000W、処理時間60sec、処理温度 $100^{\circ}\text{C}$ でアッシング処理を行った。図 3 に処理前の誘電率と、アッシング処理後の誘電率上昇を示す。これより、 $\text{CH}_2$ 結合が増加するとアッシング耐性が向上することが分かる。一方で、 $\text{CH}_3$ 基の減少により誘電率は上昇する。誘電率 3 以下で、アッシングによる誘電率上昇が0.1以下となるのは、 $\text{Si-CH}_2/\text{Si-CH}_3$ 比がFTIRのピーク高さ比で0.03～0.05までの範囲である。

### 【 0 0 2 5 】

図 4 に、4点曲げ法により測定したCAP- $\text{SiO}_2$ 膜との密着性と $\text{Si-CH}_2/\text{Si-CH}_3$ 比の関係を示す。 $\text{Si-CH}_2/\text{Si-CH}_3$ 比が高くなると、密着性が向上することが分かる。これは、疎水基である $\text{CH}_3$ 基が減少し、 $\text{Si-O}$ ネットワークの中に $\text{CH}_2$ 結合として隠れるため、 $\text{SiO}_2$ 膜との親和性が増加したことが原因として考えられる。密着性の点から、 $\text{Si-CH}_2/-/\text{Si-CH}_3$ 結合比は高いことが望ましいが、図 3 に示したように

、誘電率も増加するため、 $\text{Si-CH}_2\text{-}/\text{-Si-CH}_3$ 結合比としては0.03~0.05の範囲が最適である。

#### 【0026】

各成膜パラメータに関しては、図5に示すように低 $\text{O}_2$ 流量、低圧、高温で $\text{CH}_2/\text{CH}_3$ 比が増加する。従って、これらの成膜パラメータを最適化することにより、 $\text{Si-CH}_2\text{-}/\text{-Si-CH}_3$ 結合比が0.03~0.05の $\text{SiOCH}$ 膜を成膜できる。

#### 【0027】

次に、本発明の $\text{SiOCH}$ 膜をデュアルダマシン配線構造に適用した時の実施例について以下に述べる。

具体的にはビアファーストによる方法を示す。

#### 【0028】

まず、図6を用いて、ビアファースト法によるデュアルダマシン配線構造の形成方法を説明する。 $\text{SiO}_2$ 膜81上に $\text{SiCN}$ 膜82、 $\text{SiOCH}$ 膜83、バリア絶縁膜 $\text{SiCN}$ 膜84が積層され、 $\text{SiOCH}$ 膜83中にバリアメタル膜90および銅膜89からなる銅配線が形成されている。この上に、ビア層間 $\text{SiOCH}$ 膜85、 $\text{SiCN}$ 膜86、トレンチ層間 $\text{SiOCH}$ 膜87、 $\text{SiO}_2$ 膜88を順次積層し、まず、ビアのパターニングを行い、接続孔91を開口する。

次に、図7のように、有機物からなる反射防止膜92を塗布し、その上にレジストを塗布し露光・現像により、溝レジストパターン93を形成する。

#### 【0029】

溝レジストパターン93をマスクに、溝94を加工し、アッシングにより反射防止膜92、溝レジストパターン93を除去する。(図8)。さらに、バリア絶縁膜 $\text{SiCN}$ 84をエッチバックにより除去し、ビアとトレンチを形成する。(図9)。これに、バリアメタル膜95・銅膜96を、スパッタおよび、銅メッキにより埋め込み、CMPにより $\text{SiO}_2$ 絶縁膜88上の銅層およびバリアメタル膜をCMP法により除去し、バリアメタル膜95および銅膜96からなる銅配線を形成する(図10)。

#### 【0030】

この、ビアファースト・デュアルダマシン法では、トレンチ層間 $\text{SiOCH}$ 膜87

は1回、ビア層間SiOCH膜85は2回アッシング工程に晒される。従って、SiOCHのアッシング耐性は、銅配線の歩留まりに大きな影響を与える。図11は、上述のフローで形成した銅配線の100万個ビアチェーン歩留まりである。横軸は、層間膜に用いたSiOCH膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>比を、縦軸に、歩留まりを示す。これより、結合比が低下すると、歩留まりが低下していることが分かる。これは、アッシング耐性が劣化するため、ビア加工側面からの水分等のアウトガスが増えることによる埋設不良が原因として考えられる。一方結合比が高い方でも劣化がみられるが、膜強度の低下によるCMP時の層間膜やられが原因として考えられる。従って、高い歩留まりを得るには、結合比0.03~0.05が望ましい。

### 【0031】

#### 【発明の効果】

以上説明したように本発明によれば、炭素含有酸化珪素膜(SiOCH)であって、膜内に-Si-CH<sub>2</sub>-結合を有する層間絶縁膜であるため、層間絶縁膜の誘電率の上昇をもたらすことなく、アッシング耐性を向上させることができる。また、CAP-SiO<sub>2</sub>との密着性も改善できる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の絶縁膜の成膜に使用するプラズマCVD装置を略示した図である。

##### 【図2】

本発明の絶縁膜のFTIR特性のRFパワー依存性を示した図である

##### 【図3】

本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と誘電率および、アッシングによる誘電率上昇の関係を示した図である。

##### 【図4】

本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と密着性の関係を示した図である。

##### 【図5】

本発明の成膜パラメータとSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比の関係を示した図である。

##### 【図6】

本発明に係わる配線構造の製造方法を示す図である。

## 【図 7】

本発明に係わる配線構造の製造方法を示す図である。

## 【図 8】

本発明に係わる配線構造の製造方法を示す図である。

## 【図 9】

本発明に係わる配線構造の製造方法を示す図である。

## 【図 10】

本発明に係わる配線構造の製造方法を示す図である。

## 【図 11】

本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と歩留まりの関係を示した図である。

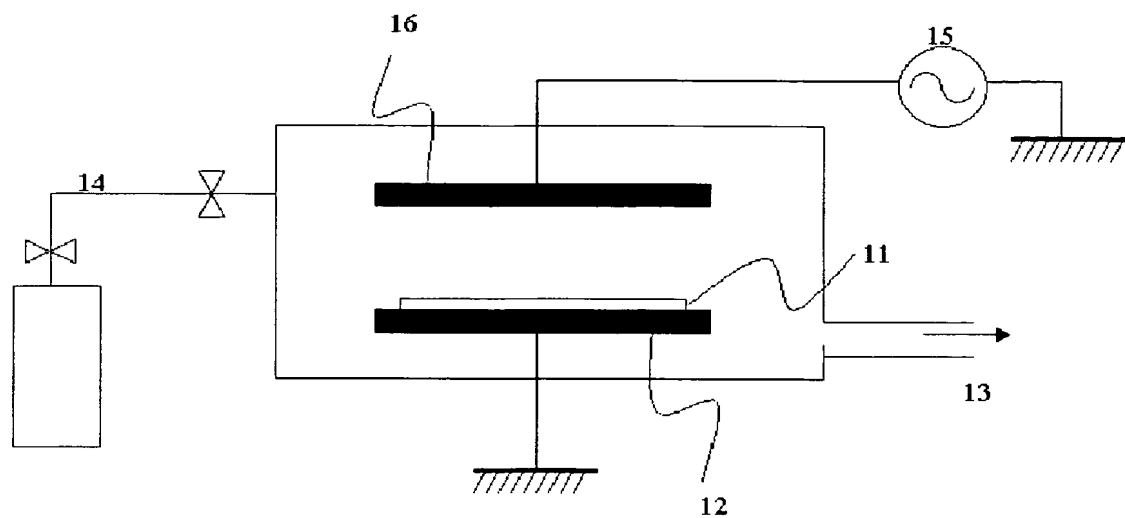
## 【符号の説明】

- 1 1 半導体基板
- 1 2 サセプタ
- 1 3 排気手段
- 1 4 ガス供給部
- 1 5 高周波発生機
- 1 6 上部平板電極
- 8 1 SiO<sub>2</sub>膜
- 8 2 SiCN膜
- 8 3 SiOCH膜
- 8 4 SiCN膜
- 8 5 SiOCH膜
- 8 6 SiCN膜
- 8 7 SiOCH膜
- 8 8 SiO<sub>2</sub>膜
- 8 9 銅膜
- 9 0 バリアメタル膜
- 9 1 接続孔
- 9 2 反射防止膜

- 9 3 レジスト
- 9 4 溝
- 9 5 バリアメタル膜
- 9 6 銅膜

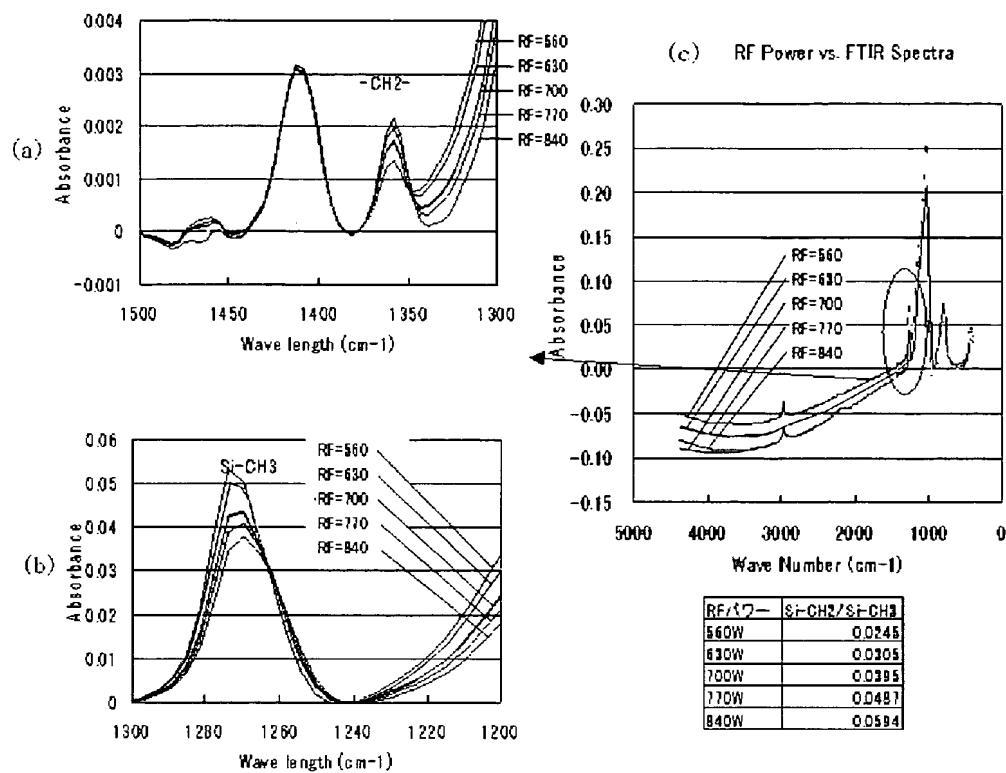
【書類名】 図面

【図 1】

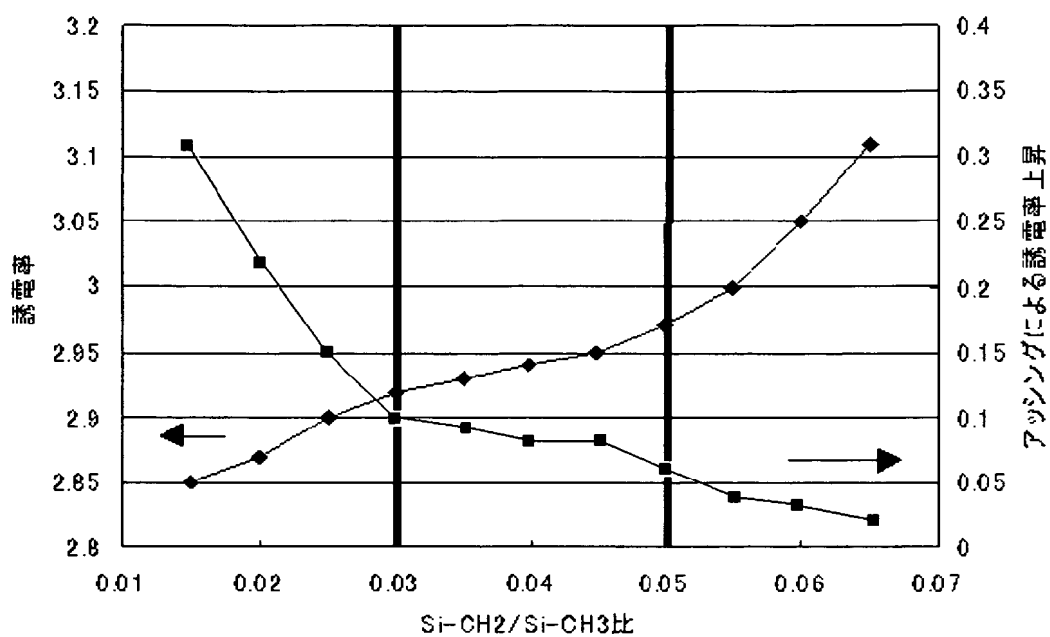




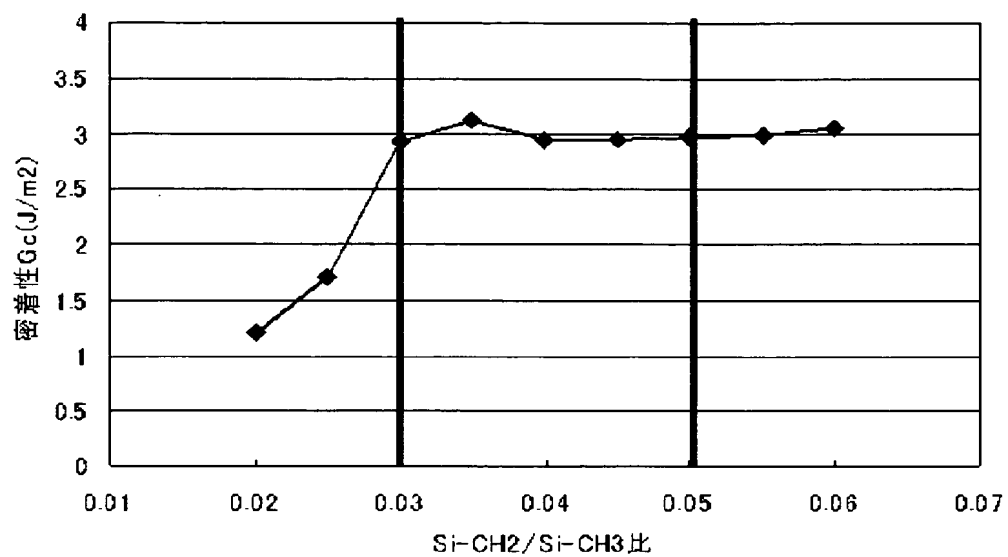
【図 2】



【図 3】



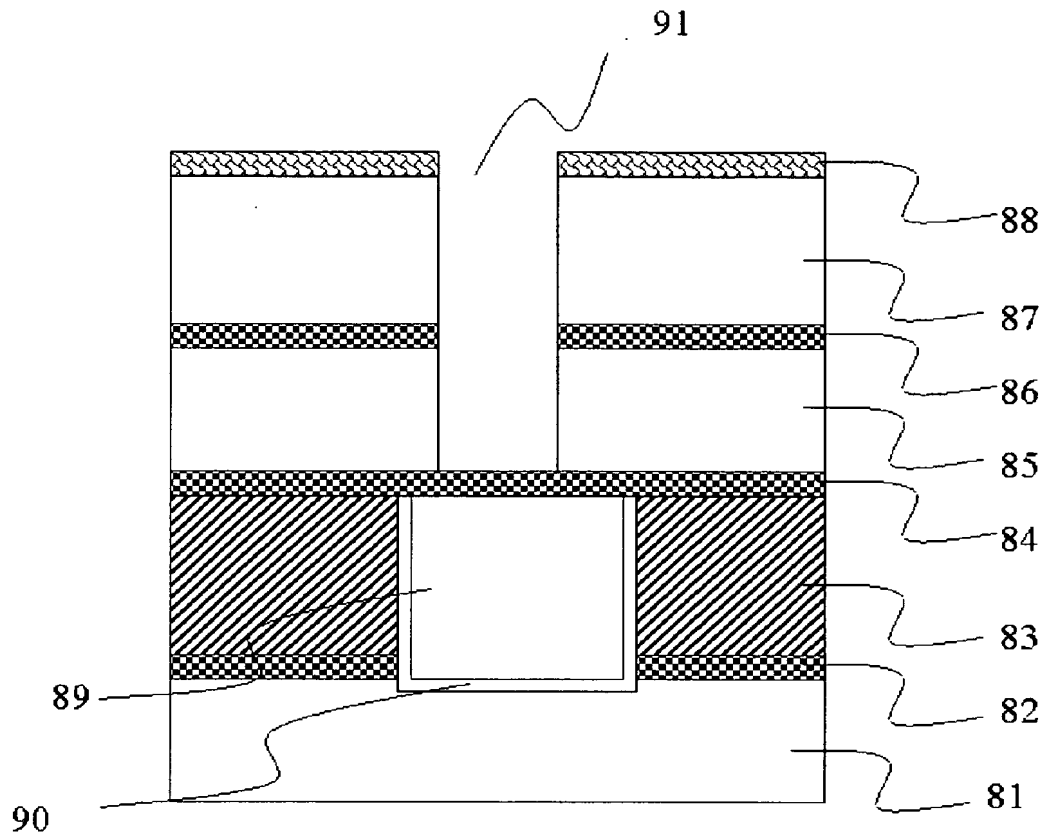
【図 4】



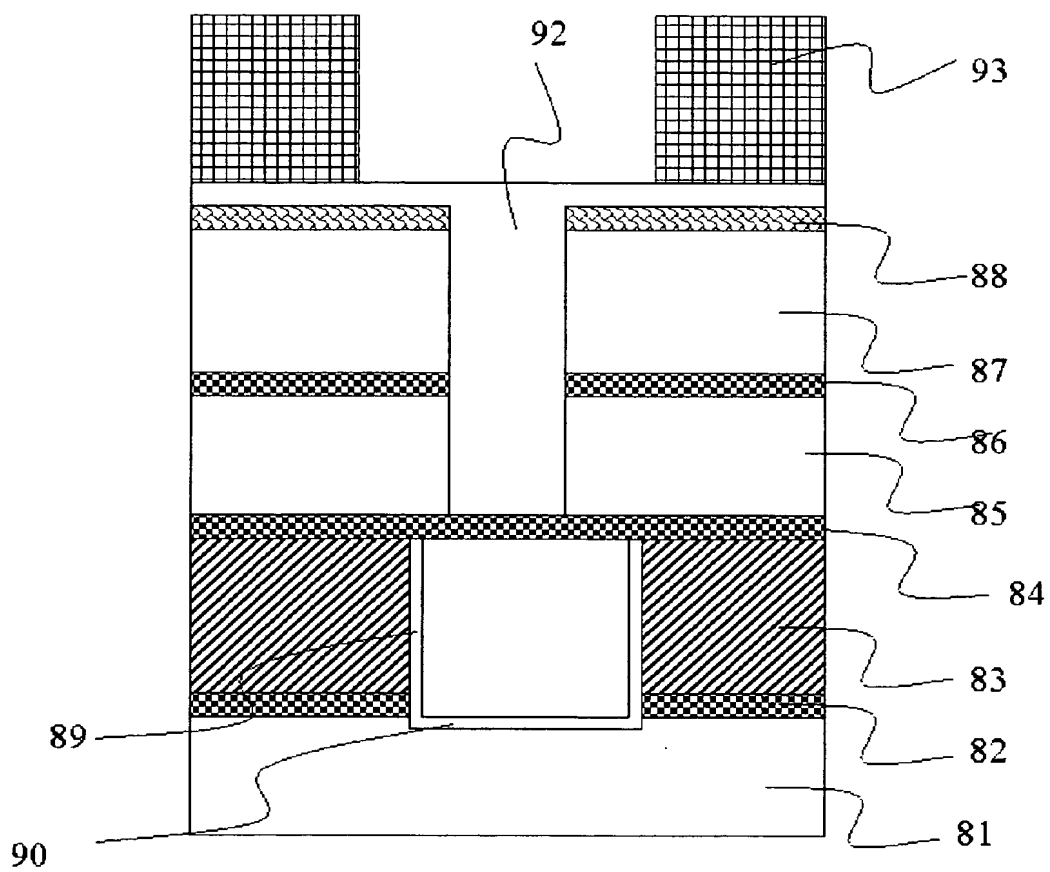
【図 5】

		Si-CH <sub>2</sub> -/Si-CH <sub>3</sub> 比
O <sub>2</sub> 流量	↘	↗
RF POWER	↗	↗
圧力	↘	↗
温度	↗	↗

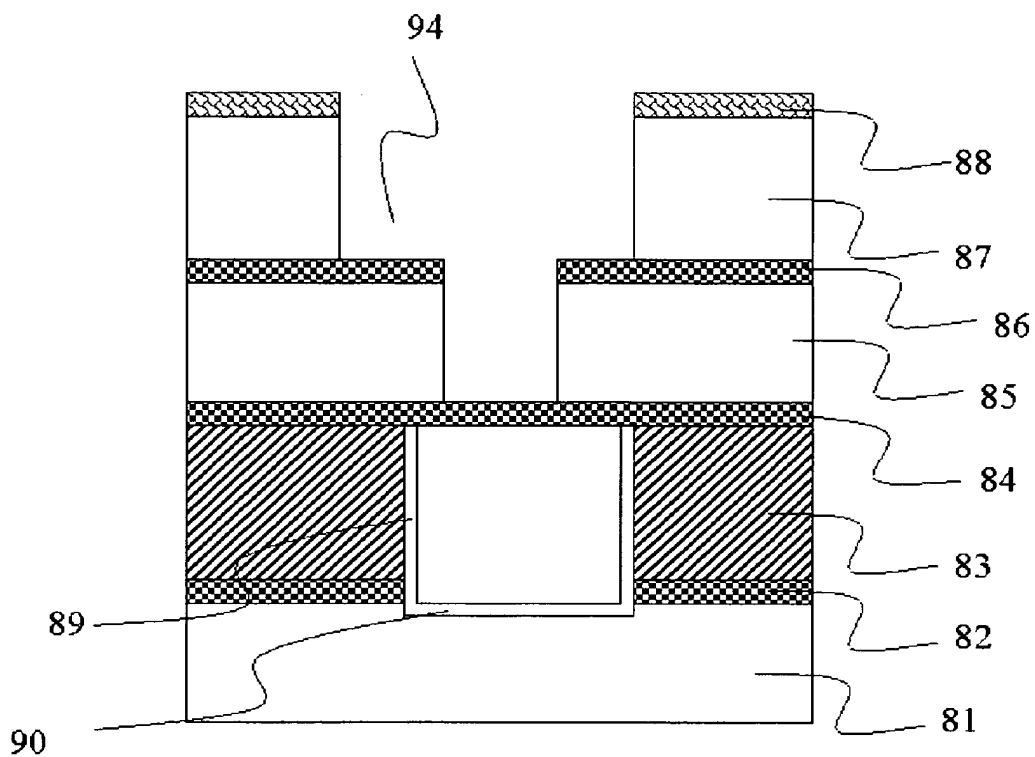
【図 6】



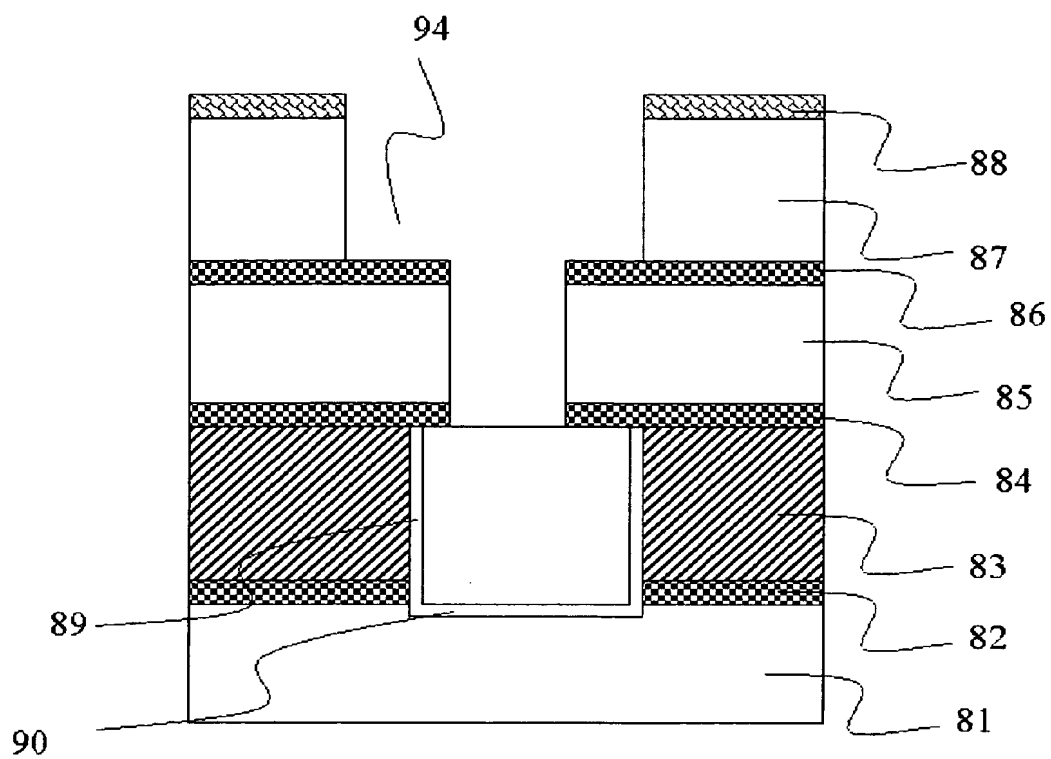
【図 7】



【図 8】

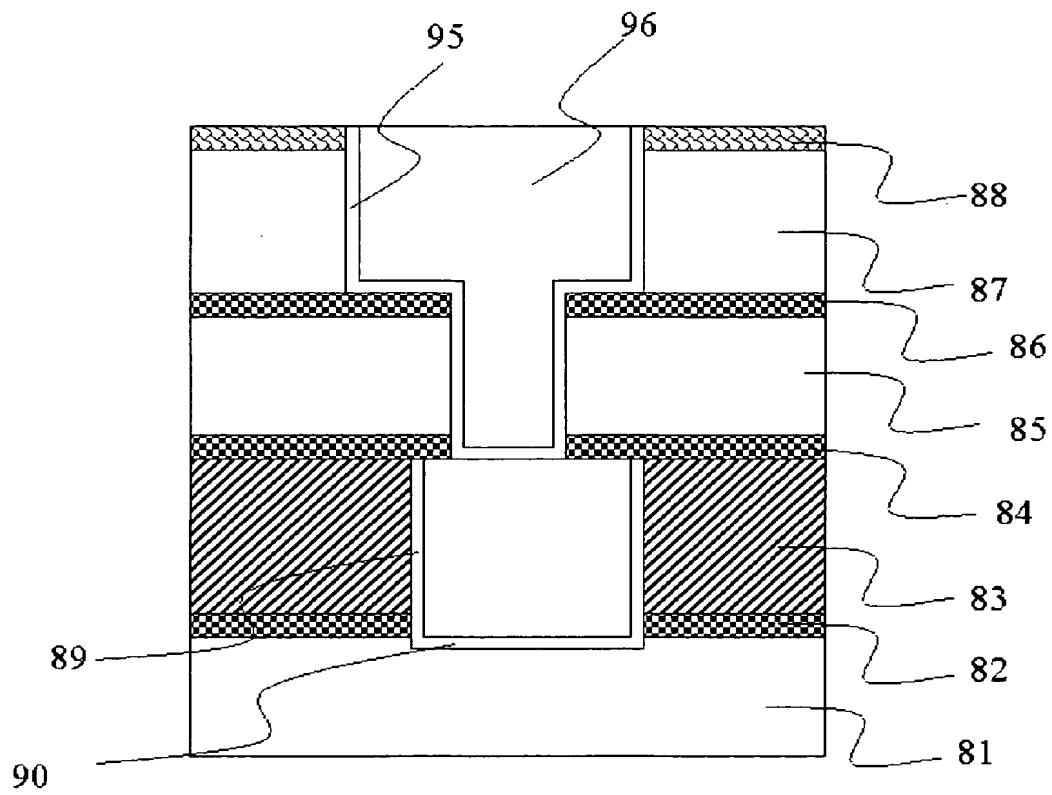


【図 9】

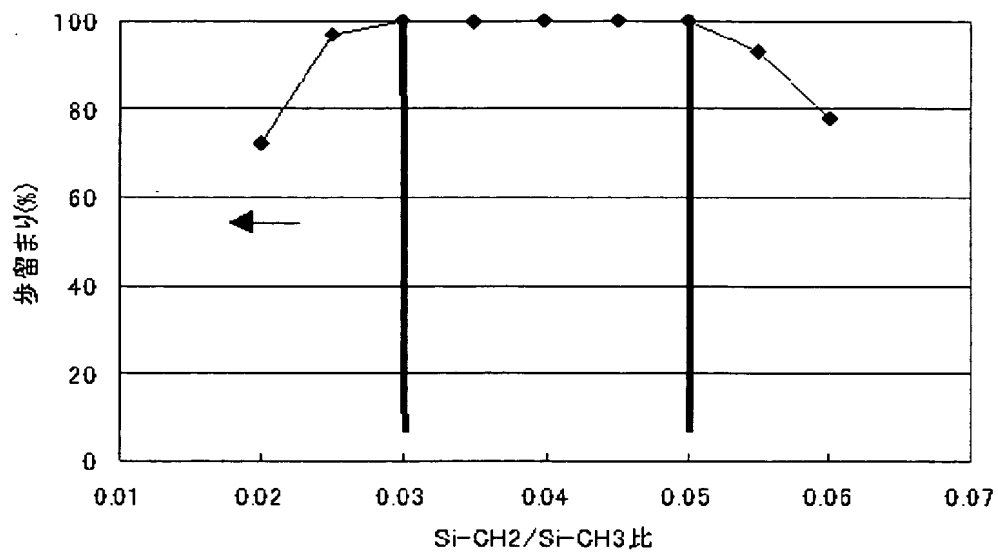




【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 誘電率の低いSiOCHからなる層間絶縁膜は、膜中にCH<sub>3</sub>基が含まれるためにアッシング雰囲気中の酸素イオンやラジカルと反応しやすく、この為O<sub>2</sub>アッシング耐性が低く、更にCH<sub>3</sub>基が疎水性のために、SiO<sub>2</sub>膜との密着性も低い。

【解決手段】 SiOCHからなる層間絶縁膜を、分子内に-Si-CH<sub>2</sub>-結合を含む炭素含有酸化膜から構成させることによって、-CH<sub>2</sub>-結合がO<sub>2</sub>の攻撃を受けにくくさせるため、従来のCH<sub>3</sub>基のみを持つSiOCH膜に比べアッシング耐性が改善する。また、疎水基であるCH<sub>3</sub>基が減少することにより、SiO<sub>2</sub>膜との密着性も向上する。

【選択図】 図 1 0

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 1 0 7 8
受付番号	5 0 3 0 0 1 4 2 7 2 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月29日
-------	-------------

次頁無

特願 2 0 0 3 - 0 2 1 0 7 8

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社